

Denumirea disciplinei	Proiectare digitala avansata
Domeniul de studiu	Inginerie electronica si telecomunicatii
Master	Circuite si Sisteme Integrate
Codul disciplinei	52342511 (52320311)
Titularul disciplinei	Prof.dr.ing. Mircea Dabacan, Mircea.Dabacan@ael.utcluj.ro
Colaboratori	
Catedra	Electronica Aplicata
Facultatea	Electronică, Telecomunicații și Tehnologia Informației

Sem.	Tipul disciplinei	Curs	Aplicații			Curs	Aplicații			Stud. Ind.	TOTAL	Credit	Forma de verificare
			[ore fizice/săpt.]				[ore fizice/sem.]						
			S	L	P		S	L	P				
3	Optional 2	2			2	28			28	74	130	5	E

Competențe dobândite:**Cunoștințe teoretice,** (Ce trebuie sa cunoască)

Sisteme digitale complexe. Limbaj de descriere hardware (VHDL). Tehnici de proiectare a circuitelor digitale complexe. Structura si performantele circuitelor FPGA

Deprinderi dobândite: (Ce știe să facă)

Să proiecteze circuite digitale complexe; Sa analizeze functionarea si performantele unui proiect digital complex; Sa elaboreze specificatia si manualul de utilizare a proiectului dezvoltat

Abilități dobândite: (Ce echipamente, instrumente știe să mănuiască)

Mediul integrat de proiectare Xilinx ISE, placa de dezvoltare FPGA

Cerințe prealabile (Dacă este cazul)

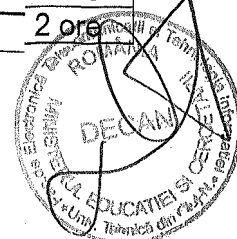
Analiza si sinteza circuitelor digitale combinationalale si secventiale. Limbaj de programare

A. Curs (titlul cursurilor + programa analitica)

1	Circuite FPGA: Structura internă generală. Familia Xilinx – Spartan 3E.	2 ore
2	Mediul integrat de proiectare Xilinx ISE Design Suite.	2 ore
3	Blocuri de intrare/iesire. Blocuri logice configurabile. Structura de interconectare.	2 ore
4	Limbajul VHDL – Instrucțiuni concurente și secvențiale.	2 ore
5	Limbajul VHDL – Semnale, Variabile, Constante.	2 ore
6	Block RAM. Multiplicatoare dedicate.	2 ore
7	Limbajul VHDL – Tipuri predefinite si declarate.	2 ore
8	Limbajul VHDL – Descrierea funcțională	2 ore
9	Digital Clock Manager. Structura de distributie a semnalului clock.	2 ore
10	Limbajul VHDL – Descrierea structurală.	2 ore
11	Limbajul VHDL – Utilizarea primitivelor.	2 ore
12	Configurarea circuitelor FPGA. Boundary scan.	2 ore
13	Limbajul VHDL – Simularea circuitului.	2 ore
14	Analiza rapoartelor de sinteză și implementare.	2 ore

B1. Aplicații – PROIECT (lista lucrări, teme de seminar, conținutul proiectului de an)

1	Introducere în mediul de programare Xilinx,	2 ore
2	Descrierea circuitelor combinaționale.	2 ore
3	Placa demonstrativă Digilent	2 ore
4	Circuite secvențiale simple	2 ore



5	Controler de afișaj multiplexat.	2 ore
6	Sincronizarea semnalelor. Debouncing	2 ore
7	Practici de proiectare – Jocul Pabl-Valedi	2 ore
8	Generatoare de caractere	2 ore
9	Memorie video in BRAM	2 ore
10	Interfețe seriale (SPI)	2 ore
11	Interfețe paralele (EPP)	2 ore
12	Dezvoltare proiect independent	2 ore
13	Dezvoltare proiect independent	2 ore
14	Dezvoltare proiect independent	2 ore
B2. Sala laborator (Denumire/sala) 407 Observator		

C. Studiul individual (tematica studiilor bibliografice, materiale de sinteză, proiecte, aplicații etc.)						
Structura studiului individual	Studiu materiale curs	Rezolvări teme, lab., proiecte	Pregătire aplicații	Timp alocat examinărilor	Studiu bibliografic suplimentar	Total ore pregătire individuală
Nr. ore	14	32	14	2	12	74

Bibliografie – 5 (numar de titluri aflate in biblioteca UTC-N)
1. Peter Ashenden, The Student's Guide to VHDL, 1998
2. Xilinx, The Programmable Logic Data Book, 1998
3. www.digilentinc.com
4. www.xilinx.com

Modul de examinare și atribuire a notei	
Modul de examinare	Examenul constă din verificarea cunoștințelor prin rezolvarea de probleme si o parte teorie (intrebari) in scris (1,5 ore).
Componentele notei	Examen (nota E); Laborator (nota L); Proiect (nota P);
Formula de calcul a notei	$N=0,8P+0,2E$; Condiția de obținere a creditelor: $E>4$ si $P>4$

Responsabil disciplina
Prof.dr.ing. Mircea DABACAN

