

FIȘA DISCIPLINEI

1. Date despre program

| | |
|---------------------------------------|--|
| 1.1 Instituția de învățământ superior | Universitatea Tehnică din Cluj-Napoca |
| 1.2 Facultatea | Facultatea de Electronică, Telecomunicații și Tehnologia Informației |
| 1.3 Departamentul | Bazele Electronicii |
| 1.4 Domeniul de studii | Inginerie electronică, telecomunicații și tehnologii informaționale |
| 1.5 Ciclul de studii | Licență |
| 1.6 Programul de studii / Calificarea | Tehnologii și Sisteme de Telecomunicații/ Inginer |
| 1.7 Forma de învățământ | IF – învățământ cu frecvență |
| 1.8 Codul disciplinei | TST104.00 |

2. Date despre disciplină

| | | | | | | | |
|--|--|---------------|---|-----------------------|---|-------------------------|--------|
| 2.1 Denumirea disciplinei | Sisteme cu FPGA | | | | | | |
| 2.2 Aria de conținut | Arie teoretică | | | | | | |
| | Arie metodologică | | | | | | |
| | Arie de analiză | | | | | | |
| 2.3 Responsabil de curs | Conf. Dr. Ing. Albert Fazakas – Albert.Fazakas@bel.utcluj.ro | | | | | | |
| 2.4 Titularul activităților de seminar / laborator / proiect | Conf. Dr. Ing. Albert Fazakas – Albert.Fazakas@bel.utcluj.ro | | | | | | |
| 2.5 Anul de studiu | III | 2.6 Semestrul | I | 2.7 Tipul de evaluare | E | 2.8 Regimul disciplinei | DS/FAC |

3. Timpul total estimat

| | | | | | |
|--|-----|--------------------|----|-------------------------|-----|
| 3.1 Număr de ore pe săptămână | 4 | din care: 3.2 curs | 2 | 3.3 seminar / laborator | 2 |
| 3.4 Total ore din planul de învățământ | 56 | din care: 3.5 curs | 28 | 3.6 seminar / laborator | 28 |
| Distribuția fondului de timp | | | | | Ore |
| Studiul după manual, suport de curs, bibliografie și notițe | | | | | 18 |
| Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren | | | | | 8 |
| Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri | | | | | 15 |
| Tutoriat | | | | | 4 |
| Examinări | | | | | 3 |
| Alte activități: | | | | | 0 |
| 3.7 Total ore studiu individual | 48 | | | | |
| 3.8 Total ore pe semestru | 104 | | | | |
| 3.9 Numărul de credite | 4 | | | | |

4. Precondiții (acolo unde este cazul)

| | |
|-------------------|--|
| 4.1 de curriculum | Circuite Integrate Digitale, Sisteme Digitale |
| 4.2 de competente | Analiza și proiectarea Sistemelor Digitale Utilizarea mediilor CAD la analiza și proiectarea circuitelor electronice digitale |

5. Condiții (acolo unde este cazul)

| | |
|---|--|
| 5.1. de desfășurare a cursului | Cluj-Napoca, sală cu proiector |
| 5.2. de desfășurare a seminarului / laboratorului / proiectului | Cluj-Napoca, sală cu rețea de calculatoare, software Vivado, sisteme de dezvoltare pe FPGA din Seria 7 |

6. Competențele specifice acumulate: N/A

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

| | |
|---------------------------------------|---|
| 7.1 Obiectivul general al disciplinei | Dezvoltarea competențelor profesionale în domeniul proiectării sistemelor digitale bazate pe componente FPGA, folosind limbaje de descriere hardware de nivel înalt (HDL) |
| 7.2 Obiectivele specifice | Asimilarea cunoștințelor teoretice despre structura dispozitivelor FPGA, cunoașterea posibilităților și limitărilor acestora. Folosirea mediilor de proiectare CAD/CAM specifice dispozitivelor FPGA și a plăcilor de dezvoltare bazate pe FPGA. Asimilarea cunoștințelor teoretice ale limbajelor de descriere hardware HDL și folosirea eficientă a acestora pentru crearea de proiecte digitale. Dezvoltarea cunoștințelor privitoare la testarea, depanarea și optimizarea pentru viteză de lucru și arie ocupată a proiectelor digitale. Folosirea componentelor speciale ale dispozitivelor FPGA: Generatoare de tact, memorii bloc, controllere DDR, componente XADC. Deprinderea unor metodologii și tehnici de proiectare sistematică, care îmbină analiza analitică, simulările și experimentele practice |

8. Conținuturi

| 8.1 Curs | Metode de predare | Observații |
|---|--|---|
| 1. Introducere. Ce este FPGA? Structura de principiu a circuitelor FPGA. Comparații între implementările sistemelor digitale bazate pe circuite digitale discrete, microcontrolere, DSP, ASIC și FPGA | Introducerea în proiectarea cu HDL: Analiza codurilor componentelor de bază | Se utilizează prezentări pe videoprojector, tablă |
| 2. Elemente HDL: Sintaxă, tipuri de date și elemente structurale. Interpretarea codului HDL de către simulator și sintetizator. Descrierea RTL. | | |
| 3. Elemente HDL: Descrierile RTL. Aspecte ale proceselor combinaționale și secvențiale. Metode pentru evitarea problemelor de sinteză | | |
| 4. Metodologia proiectării sistemelor digitale cu FPGA. Etapele parcurse în cadrul proiectării. Metode de verificare ale proiectelor. | | |
| 5. Sinteza componentelor digitale. Aspecte legate de minimizarea și optimizarea circuitelor de către sintetizator. | | |
| 6. Tipuri de automate secvențiale. Metode de descriere a automatelor secvențiale. Tehnici de evitare a hazardurilor. Tehnici de maximizare a vitezei de lucru. | | |
| 7. Tehnici speciale de proiectare a circuitelor digitale. Tehnica pipelining. Duplicarea circuitelor bistabile în FPGA. Tehnici de proiectare a circuitelor sincrone: Sincronizarea semnalelor externe. FIFO. | | |
| 8. Structuri ale circuitelor digitale reconfigurabile PLA/PAL/GAL. Circuite CPLD. Componente de bază folosite în structura FPGA: LUT. FF.SRL. Multiplexoare și componente folosite pentru rutare. | | |
| 9. Familii de FPGA Xilinx. Evoluția familiilor. Familii ale altor producători (Altera, Lattice etc). | | |

| | | |
|---|--|--|
| 10. Configurarea circuitelor FPGA. Metode de configurare. Controllerul JTAG. Secvența de configurare de la power-up la EOS. Configurarea parțială | | |
| 11. Alimentarea dispozitivelor FPGA. Tensiunile VCCINT, VCCAUX și VCCIO. Secvența de alimentare a FPGA din Seria 7. | | |
| 12. Distribuția semnalelor de tact în FPGA. Tact global și tact regional. Regiuni de tact. Componente folosite pentru generarea și distribuția semnalelor de tact | | |
| 13. Monitorizarea temperaturii și a tensiunilor de alimentare a FPGA. Componenta XADC | | |
| 14. Sisteme pe microprocesor Microblaze implementat în FPGA Xilinx. | | |
| Bibliografie: 1. Albert Fazakas, Sisteme cu FPGA, prezentări PowerPoint, 2016-2017 2. Richard E. Haskell & Darrin M. Hanna "Digital Design using Digilent FPGA Boards", 2nd Edition, LBE Books, 2012 3. Steve Kilts, "Advanced FPGA Design", John Wiley and Sons, 2007 4. Xilinx inc., „Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics”, DS181, www.xilinx.com 5. Xilinx inc., „7 Series FPGAs Configuration User Guide”, UG470, www.xilinx.com | | |
| 8.2. Laborator | Metode de predare | Observații |
| 1. Introducere. Familiarizarea cu mediul de proiectare Xilinx Vivado și plăcile de dezvoltare Digilent Nexys4DDR | | |
| 2. Descrieri de circuite digitale simple folosind limbajul Verilog. Exemplificare pe plăcile de dezvoltare FPGA. | | |
| 3. Erori de sintaxă, de constrângere și de implementare. Vizualizarea mesajelor de eroare și localizarea erorilor. Corectarea erorilor. | | |
| 4. Bănci de test HDL pentru verificarea proiectelor. Simularea și verificarea proiectelor. | | |
| 5. Realizarea conexiunilor ierarhice în Verilog. Tipuri de semnale. Instanțierea componentelor | Demonstrația și experimentul didactic, exercițiul didactic, lucrul în echipa | Se utilizează plăci de dezvoltare pe FPGA, aparatură de laborator, calculator cu software Vivado, videoprojector, tablă. |
| 6. Vizualizarea stărilor și valorilor componentelor interne ale unui proiect digital. Afișajul multiplexat. | | |
| 7. Sincronizarea semnalelor externe. Circuite de impulsuri. Circuite debouncer. | | |
| 8. Automate secvențiale 1. Modul de definire și descriere a unui automat secvențial. Simularea și depanarea automatelor secvențiale. | | |
| 9. Automate secvențiale 2. Exemple de automate secvențiale pentru comunicare pe interfețe low-speed (UART, SPI, I ² C) | | |
| 10. Descrierea și implementarea memoriilor în proiectele digitale cu dispozitive FPGA. Memorii dual-port. Memorii block și memorii distribuite. Utilitarul Block Memory Generator. | | |

| | | |
|--|--|--|
| 11. Generarea semnalelor de tact. Componentele MMCM2E_ADV și PLL2E_ADV. Exemplificare: Interfață VGA pentru diferite rezoluții. | | |
| 12. Depanarea hardware a proiectelor. Pregătirea unui proiect pentru depanare. Componenta Integrated Logic Analyzer (ILA). Componenta VIO (Virtual I/O) | | |
| 13. Constrângerile legate de timpii de propagare. Exemple de folosire a utilitarului de constrângeri. Efectul acestuia în fișierul de constrângeri. | | |
| 14. Exemple de configurare a FPGA la pornire. Crearea fișierelor de configurare pentru memorie externă. Programarea configurației în memoria externă | | |
| Bibliografie 1. Albert Fazakas, Sisteme cu FPGA, lucrări de laborator, 2016-2017 2. Digilent inc., „Nexys4DDR User Manual”, rev. C, April 11, 2016, https://reference.digilentinc.com/media/nexys4-ddr:nexys4ddr_rm.pdf 3. Digilent inc., „Nexys4DDR Schematics”, rev. C, 2014, https://reference.digilentinc.com/media/nexys4-ddr:nexys_4_ddr_sch.pdf 4. Xilinx inc., „Vivado Design Suite User Guide: Getting Started”, UG910, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug910-vivado-getting-started.pdf | | |

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului

Competențele dobândite vor fi folosite în următoarele ocupații conform COR (Clasificarea Ocupațiilor din România): Inginer emisie; Inginer electronist, transporturi, telecomunicații;

10. Evaluare

| Tip activitate | 10.1 Criterii de evaluare | 10.2 Metode de evaluare | 10.3 Pondere din nota finală |
|--|---|---|------------------------------|
| 10.4 Curs | Nivelul achiziției cunoștințelor teoretice și nivelul deprinderilor dobândite | - Examen oral de evaluare sumativă (tratare subiecte teoretice, rezolvare probleme) | - E, max. 10 pct., 50% |
| 10.5 Laborator | Nivelul abilităților dobândite | - Proiect digital implementat practic pe placa de dezvoltare, folosind mediul de proiectare CAD specific. | - L, max. 10 pct., 50% |
| 10.6 Standard minim de performanță | | | |
| $L \geq 5$ și $E \geq 5$. Nota finală = $0,5E + 0,5L$ | | | |

| Data completării: | Titulari | Titlu Prenume NUME | Semnătura |
|-------------------|-----------|-------------------------------|-----------|
| 29.09.2017 | Curs | Conf. Dr. Ing. Albert FAZAKAS | |
| | Aplicații | Conf. Dr. Ing. Albert FAZAKAS | |

| | |
|---|---|
| Data avizării în Consiliul Departamentului COM 2.10.2017 | Director Departament Comunicații Prof.dr.ing. Virgil DOBROTA |
| Data aprobării în Consiliul Facultății ETTI 2.10.2017 | Decan Prof.dr.ing. Gabriel OLTEAN |