

FIȘA DISCIPLINEI

1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Tehnică din Cluj-Napoca
1.2 Facultatea	Facultatea de Electronică, Telecomunicații și Tehnologia Informației
1.3 Departamentul	Bazele Electronicii
1.4 Domeniul de studii	Inginerie electronică, telecomunicații și tehnologii informaționale
1.5 Ciclu de studii	Licență
1.6 Programul de studii / Calificarea	Tehnologii și Sisteme de Telecomunicații/ Inginer
1.7 Forma de învățământ	IF – învățământ cu frecvență
1.8 Codul disciplinei	TST104.00

2. Date despre disciplină

2.1 Denumirea disciplinei	Sisteme cu FPGA						
2.2 Aria de conținut	Arie teoretică Arie metodologică Arie de analiză						
2.3 Responsabil de curs	Conf.dr.ing. Albert FAZAKAS – Albert.Fazakas@bel.utcluj.ro						
2.4 Titularul activităților de seminar / laborator / proiect	Conf.dr.ing. Albert FAZAKAS – Albert.Fazakas@bel.utcluj.ro						
2.5 Anul de studiu	III	2.6 Semestrul	I	2.7 Tipul de evaluare	Examen	2.8 Regimul disciplinei	DS/DFac

3. Timpul total estimat

3.1 Număr de ore pe săptămână	4	din care: 3.2 curs	2	3.3 seminar / laborator	2
3.4 Total ore din planul de învățământ	56	din care: 3.5 curs	28	3.6 seminar / laborator	28
Distribuția fondului de timp					Ore
Studiul după manual, suport de curs, bibliografie și notițe					8
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					8
Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri					46
Tutoriat					4
Examinări					3
Alte activități:					0
3.7 Total ore studiu individual	69				
3.8 Total ore pe semestru	125				
3.9 Numărul de credite	5				

4. Precondiții (acolo unde este cazul)

4.1 de curriculum	Circuite Integrate Digitale, Sisteme Digitale
4.2 de competente	Analiza și proiectarea Sistemelor Digitale Utilizarea mediilor CAD la analiza și proiectarea circuitelor electronice digitale

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	Cluj-Napoca, sală cu proiector
5.2. de desfășurare a seminarului / laboratorului / proiectului	Cluj-Napoca, sală cu rețea de calculatoare, software Vivado, sisteme de dezvoltare pe FPGA din Seria 7 și SoC din seria 7, dispozitive periferice uzuale

6. Competențele specifice acumulate

Competențe profesionale	N/A
Competențe transversale	N/A

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Dezvoltarea competențelor profesionale în domeniul proiectării sistemelor digitale bazate pe componente FPGA/SoC, folosind sisteme pe microprocesor reconfigurabile și limbaje de descriere hardware de nivel înalt (HDL)
7.2 Obiectivele specifice	1. Asimilarea cunoștințelor teoretice despre structura dispozitivelor FPGA/SoC, cunoașterea posibilităților și limitărilor acestora 2. Folosirea mediilor de proiectare CAD și a plăcilor de dezvoltare specifice microcontrolerelor și dispozitivelor FPGA/SoC 3. Asimilarea cunoștințelor teoretice ale limbajelor de programare descriere hardware HDL și folosirea eficientă a acestora pentru creare de proiecte digitale 4. Dezvoltarea cunoștințelor privitoare la testarea, depanarea și optimizarea pentru viteză de lucru și arie ocupată a proiectelor digitale 5. Folosirea componentelor speciale ale dispozitivelor FPGA: Generatoare de tact, memorii bloc, controllere DDR, componente XADC 6. Deprinderea unor metodologii și tehnici de proiectare sistematică, care îmbină analiza analitică, simulările și experimentele practice

8. Conținuturi

8.1 Curs	Metode de predare	Observații
1. Introducere. Ce este FPGA? Stadiul actual a dispozitivelor FPGA, a aplicațiilor și a mediilor de dezvoltare pe dispozitive FPGA. Sisteme SoC. Structura de principiu a circuitelor FPGA	Prezentarea, conversația euristică, exemplificarea, prezentarea de probleme, rezolvarea de exerciții, studiul de caz, demonstrația, problematizarea	Onsite: Se utilizează prezentări .pe videoprojector, tablă Online: Se utilizează platformă specifică online, prezentări prin intermediul ecranului partajat
2. Structuri de circuite logice programabile: PLA, PAL, GAL, CPLD. Principiul structurilor FPGA. Componente în FPGA		

3. Metodologia proiectării sistemelor digitale cu FPGA. Etapele parcurse în cadrul proiectării. Metode de verificare ale proiectelor		
4. Tehnici specifice de circuite digitale în FPGA (1). Definirea timpilor de propagare. Calcul cu timpi de propagare		
5. Tehnici specifice de circuite digitale în FPGA (2). Hazardul logic. Tehnici de proiectare a circuitelor sincrone: Sincronizarea semnalelor externe. FIFO.		
6. Sinteza componentelor digitale. Aspecte legate de minimizarea și optimizarea circuitelor de către sintetizator. Tipuri de automate secvențiale. Metode de descriere a automatelor secvențiale.		
7. Sisteme pe microprocesoare Microblaze pe FPGA din seria 7 Xilinx. Sisteme pe microprocesoare ARM A9 pe SoC din seria ZynQ. Arhitectura bazată pe magistrale de tip AMBA: AXI		
8. Protocolul magistralei AXI Lite. Modelul de comunicare microprocesor – dispozitiv periferic. Accesarea dispozitivelor periferice din procesor la nivel de registre și driver-e de dispozitive.		
9. Sistemul de întreruperi în procesoare Microblaze și ARM A9 I. Controlere de întreruperi. Configurarea întreruperilor în software. Controlul proceselor. Răspuns în timp real.		
10. Sistemul de întreruperi în procesoare Microblaze și ARM A9 II. Controlul proceselor. Răspuns în timp real.		
11. Structura HDL a dispozitivelor periferice utilizator (Custom Peripheral). Propagarea porturilor și a parametrilor prin arhitectura dispozitivului periferic.		
12. Distribuția semnalelor de tact în FPGA. Tact global și tact regional. Regiuni de tact. Componente folosite pentru generarea și distribuția semnalelor de tact. Constrângeri de timpi de propagare legate de semnalele de tact.		
13. Aspecte practice ale ansamblurilor FPGA: Configurarea FPGA. Controllerul JTAG. Alimentarea FPGA și secvența de alimentare. Monitorizarea FPGA. Componenta XADC.		

14. Sinteza circuitelor folosind limbaje de nivel înalt - HLS		
Bibliografie: 1. Albert Fazakas, „Sisteme cu FPGA”, curs, prezentări Powerpoint și tutoriale video, accesibile pe grupul Team a disciplinei, 2022. https://didatec.sharepoint.com/:f:/r/sites/SFPGA_IV_EA_ENG_2022_2023/Class%20Materials/Ip_R_eo?csf=1&web=1&e=elo4A8 2. Steve Kilts, ”Advanced FPGA Design”, John Wiley and Sons, 2007 3. Xilinx inc., „Artix-7 FPGAs Data Sheet: Overview”, DS180 (v2.6) February 27, 2018, www.xilinx.com • Foi de catalog și ghiduri de utilizare atașate Seriei 7: DS181, UG470..UG476 4. Xilinx inc., „Zynq-7000 SoC Data Sheet: Overview”, DS190 (v1.11.1) July 2, 2018, www.xilinx.com • Foi de catalog și ghiduri de utilizator atașate dispozitivelor ZynQ, : UG585, DS191, DS187, UG1165, UG873		
8.2. Laborator	Metode de predare	Observații
1. Introducere. Familiarizarea cu mediul de proiectare Xilinx Vivado și plăcile de dezvoltare Digilent Nexys4DDR, Zybo.	Demonstrația si experimentul didactic, exercițiul didactic, lucrul în echipa	Onsite: Se utilizează plăci de dezvoltare pe FPGA, aparatură de laborator, calculator cu software Vivado, videoproiector, tablă. Online: Se utilizează platformă specifică de predare, calculator cu software Vivado și simulator, acces virtual la plăci de dezvoltare pe FPGA
2. Simularea proiectelor HDL. Crearea TestBench. Mesaje de simulare. Instrucțiuni extinse TestBench		
3. Ierarhizarea proiectelor HDL. Crearea de proiecte ierarhice în Vivado. IP core		
4. Descrierea automatelor secvențiale în HDL. Exemple de aplicații ale automatelor secvențiale		
5. Automate secvențiale pentru dispozitive standard de comunicații seriale (SPI, UART, I2C)		
6. Sistem de bază pe microprocesor Microblaze. Sistem de bază pe microprocesor ARM A9. Protocolul AXI Lite. Simularea sistemelor pe microprocesor.		
7. Accesarea dispozitivelor periferice pe microprocesor prin regiștri interni și prin driver de dispozitiv		
8. Configurarea hardware și software a sistemului de întreruperi în Microblaze și ARM-9.		
9. Exemple pentru controlul proceselor prin Timer și întreruperi. Răspuns în timp real.		
10. Crearea dispozitivelor periferice utilizator I. Verificarea codului HDL. Accesarea regiștrilor dispozitivului periferic.		
11. Crearea unui dispozitiv periferice utilizator II. Aplicații cu dispozitivul periferic adăugat.		
12. Depanarea hardware a proiectelor din interiorul chip-ului. Pregătirea unui proiect		

pentru depanare. Componenta Integrated Logic Analyzer (ILA). Componenta VIO (Virtual I/O)		
13. Exemple de configurare a FPGA la pornire. Crearea fișierelor de configurare pentru memorie externă. Programarea configurației în memoria externă		
14. Generarea semnalelor de tact. Componentele MMCM2E_ADV și PLL2E_ADV. Exemplificare: Interfață VGA pentru diferite rezoluții. Constrângeri legate de timpii de propagare.		
Bibliografie 1. Albert Fazakas, „Sisteme cu FPGA”, lucrări de laborator, prezentări Powerpoint și tutoriale video, accesibile pe grupul Team a disciplinei, 2022. https://didatec.sharepoint.com/:f:/r/sites/SFPGA_IV_EA_ENG_2022_2023/Class%20Materials/Lab?csf=1&web=1&e=NWGWZoB 2. Digilent inc., „Nexys4DDR User Manual”, rev. C, April 11, 2016, https://reference.digilentinc.com/_media/nexys4-ddr:nexys4ddr_rm.pdf 3. Digilent inc., „Nexys4DDR Schematics”, rev. C, 2014, https://reference.digilentinc.com/_media/nexys4-ddr:nexys_4_ddr_sch.pdf 4. Digilent inc., „Zybo Z7 Board Reference Manual”, Revised February 21, 2018, https://reference.digilentinc.com/_media/reference/programmable-logic/zybo-z7/zybo-z7_rm.pdf 5. Digilent inc., „Zybo Z7 Board Schematic”, Rev. B.2, Copyright 2017, https://reference.digilentinc.com/_media/reference/programmable-logic/zybo-z7/zybo_z7_sch-public.pdf 6. Xilinx inc., „Vivado Design Suite User Guide: Getting Started”, UG910, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug910-vivado-getting-started.pdf 7. Xilinx inc., „Vivado Design Suite User Guide: Using the Vivado IDE”, UG893, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug893-vivado-ide.pdf		

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului

Competențele dobândite vor fi folosite în următoarele ocupații conform COR (Clasificarea Ocupațiilor din România): Inginer electronist, transporturi, telecomunicații; Inginer imagine; Inginer sunet; Proiectant inginer electronist; Proiectant inginer de sisteme și calculatoare Inginer proiectant comunicații; Inginer sisteme de securitate; Inginer suport vânzări; Dezvoltator de aplicații multimedia; Inginer operare rețea; Inginer testare sisteme de comunicații; Manager proiect; Inginer de trafic; Consultant pentru sisteme de comunicații, Administrator rețele de calculatoare.

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	Nivelul achiziției cunoștințelor teoretice și nivelul deprinderilor dobândite	C – Evaluare formativă continuă (răspunsuri la întrebările de la curs)	C (max. 1 p) ES (max. 10 pct.), 40%

		ES – Examen scris de evaluare sumativă (rezolvare de probleme)	
10.5 Laborator	Nivelul abilităților dobândite	RL – 4 Referate de laborator (rezolvare exerciții de laborator) RP – 2 Referate de Proiect (elaborare părți din proiect) P - Proiect digital implementat practic pe placă de dezvoltare, folosind mediul de proiectare CAD specific.	RL1, RL2, RL3, RL4 (max. 10p) RP1, RP2, P (max. 10 pct.), 60%

10.6 Standard minim de performanță

Aspecte Calitative:

Nivel minim de cunoștințe:

- ✓ Principiul circuitelor FPGA și SOC, instrumentele CAD specifice, crearea proiectelor hardware și software
- ✓ Verificarea și depanarea proiectelor

Aspecte Cantitative:

- ✓ Promovarea referatelor de laborator (RL), note minime: 5
- ✓ Promovarea proiectului (RP1, RP2, P) și a examenului scris (E), note minime: 5
- ✓ Nota finală = 0,4E + 0,6P + C

Data completării:	Titulari	Titlu Prenume NUME	Semnătura
09.09.2022	Curs	Conf. Dr. Ing. Albert FAZAKAS	
	Aplicații	Conf. Dr. Ing. Albert FAZAKAS	

Data avizării în Consiliul Departamentului COM 13.09.2022	Director Departament Comunicatii. Prof.dr.ing. Virgil DOBROTA 
Data aprobării în Consiliul Facultății ETTI 21.09.2022	Prof.dr.ing. Ovidiu POP 